

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 30 日 (30.06.2005)

PCT

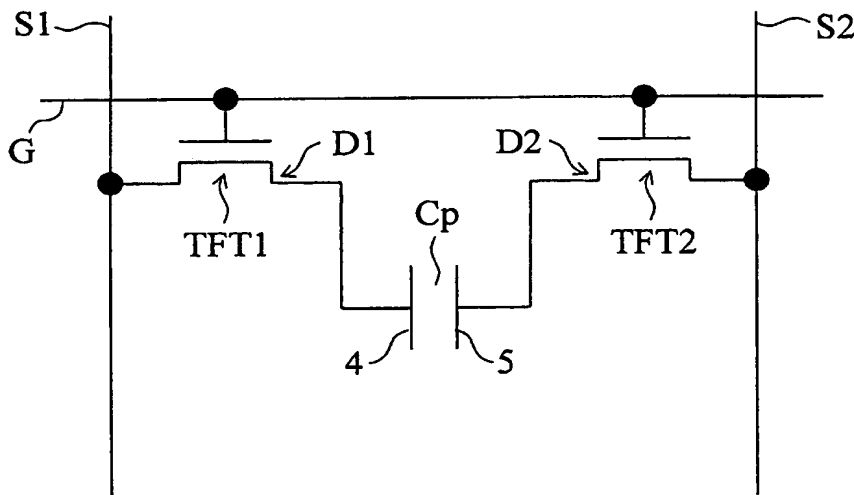
(10) 国際公開番号
WO 2005/059637 A1

- (51) 国際特許分類: G02F 1/1368, 1/03
- (21) 国際出願番号: PCT/JP2004/018930
- (22) 国際出願日: 2004 年 12 月 17 日 (17.12.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-420967
2003 年 12 月 18 日 (18.12.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宮地 弘一 (MIYACHI, Koichi). 陣田 章仁 (JINDA, Akihito). 荻島 清志 (OGISHIMA, Kiyoshi).
- (74) 代理人: 原 謙三, 外 (HARA, Kenzo et al.); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル 原謙三国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: Two signal lines (S1, S2) are provided for each display element. One electrode (4) constituting an element capacitor (Cp) is connected via a switching element (TFT1) to the signal line (S1) while the other electrode (5) is connected via a switching element (TFT2) to the signal line (S2). Moreover, the gate electrodes of the switching elements (TFT1, TFT2) are connected to a common scan line (G). Thus, even when using a TFT allowing a limited voltage, it is possible to increase the drive voltage applied to the element capacitor.

(57) 要約: 各表示素子について、2つの信号線(S1)および信号線(S2)を設ける。そして、素子容量(Cp)を構

成する一方の電極(4)をスイッチング素子(TFT1)を介して信号線(S1)に接続し、他方の電極(5)をスイッチング素子(TFT2)を介して信号線(S2)に接続する。また、スイッチング素子(TFT1)および(TFT2)のゲート電極を、共通の走査線(G)に接続する。これにより、耐圧に限られたTFTを用いる場合でも、素子容量に印加する駆動電圧を増大させることができる。

WO 2005/059637 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。